

⑫ 公開特許公報(A)

平1-270683

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)10月27日

G 01 R 31/28

V-6912-2G

G 06 F 11/22

3 6 0

G-6912-2G

H 01 L 21/66

U-7368-5B

27/04

F-6851-5F

T-7514-5F

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭63-100510

⑰ 出 願 昭63(1988)4月22日

⑱ 発 明 者 前 野 秀 史 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

外部からクロック信号を受けるクロック入力手段と、

論理テストがなされるべき複数の被テスト回路と、

外部から前記複数の被テスト回路をテストするためのテスト信号を受けるテスト信号入力手段と、

前記クロック入力手段を介して与えられたクロック信号にตอบสนองしてシフト動作を行なう複数のシフトレジスタ手段とを含む、

前記複数のシフトレジスタ手段の各々が、前記複数の被テスト回路の各々に接続され、

前記シフトレジスタ手段は、前記テスト信号入力手段に接続され、前記クロック入力手段を介して与えられたクロック信号にตอบสนองしてテスト信号を接続されている前記被テスト回路に与え、

前記クロック入力手段に与えられたクロック信

号を前記複数のシフトレジスタ手段のうちのいずれに与えるのかを指定するための指定信号を外部から受ける指定信号入力手段と、

前記クロック入力手段および前記指定信号入力手段に接続され、前記指定信号入力手段を介して与えられた指定信号にตอบสนองして、前記クロック入力手段に与えられたクロック信号を前記指定信号が指定する前記複数のシフトレジスタ手段のうちの少なくとも1つに選択的に与えるクロック信号選択供与手段とを含む、半導体集積回路。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、論理テストがなされるべき複数の被テスト回路を含む半導体集積回路に関する。

【従来の技術】

第5図は、論理テストがなされるべき被テスト回路を含む従来の半導体集積回路を示すブロック図である。

第5図を参照して、この半導体集積回路20は、被テスト回路として複数の回路ブロック2aない

し 2 n を含む。各回路ブロック 2 a ないし 2 n は、パラレル入力端子およびパラレル出力端子を備え、各々の端子がスキャンバス 1 に接続される。各回路ブロックの入力側に接続されたスキャンバス 1 は、シリアル入力端子 4 からテストデータ信号 S t を受けるように接続され、出力側に接続されているスキャンバス 1 は、テスト結果を示すデータ信号 S o をシリアル出力端子 8 に与えるように接続される。

クロック信号 ϕ_1 、 ϕ_{2A} 、 ϕ_{2B} および ϕ_{2N} は、クロック入力端子 5、6 a、6 b および 6 n を介して与えられる。回路ブロック 2 a に接続されたスキャンバス 1 は、クロック信号 ϕ_1 および ϕ_{2A} を受けるように接続される。回路ブロック 2 b に接続されたスキャンバス 1 は、クロック信号 ϕ_1 および ϕ_{2B} を受けるように接続される。回路ブロック 2 n に接続されたスキャンバス 1 は、クロック信号 ϕ_1 および ϕ_{2N} を受けるように接続される。

また、この図の例では、回路ブロック 2 a の出

— 3 —

行ない、テスト結果を示すパラレルデータを出力側のスキャンバス 1 に出力する。出力側のスキャンバス 1 は、このテスト結果を受け、これをシリアルデータに変換してシリアル出力端子 8 に与える。なお、他の回路ブロック 2 b ないし 2 n についても同様にテストが行なえる。

次に、通常の動作モードにおいて、高レベルのテストモード信号 \overline{TM} がトランジスタ 3 のゲートに与えられ、トランジスタ 3 がオンする。これにより、回路ブロック 2 a からの 1 つの出力信号が回路ブロック 2 b に与えられる。このように、所定の回路ブロック間が接続されることにより、この半導体集積回路の所望の動作が行なわれる。

第 6 図は、第 5 図に示されたスキャンバスにおいて使用されるシフトレジスタの例を示す回路図である。

第 6 図を参照して、このシフトレジスタは、入力端子 4 1 と出力端子 8 1 の間に、N チャネルトランジスタ 3 1 と、インバータ 9 1 および 9 2 により構成されるマスタラッチ回路と、N チャネル

— 5 —

力側に接続されたスキャンバス 1 と、回路ブロック 2 b の入力側に接続されたスキャンバス 1 との間に、N チャネルトランジスタ 3 が接続される。このトランジスタ 3 のゲートは、テストモードを示すテストモード信号 \overline{TM} をテストモード制御端子 7 を介して外部から受けるように接続される。このトランジスタ 3 は、テストモードにおいてオフするよう制御される。

次に、動作について説明する。

各回路ブロック 2 a ないし 2 n は、各々入出力端子にスキャンバス 1 が接続されているので、他の回路ブロックとは独立してテストを行なうことができる。

テストモードにおいて、たとえば、回路ブロック 2 a のテストを行なう場合について説明する。まず、テスト用のテストデータ（ドライブデータ）信号 S t をシリアル入力端子 4 を介して入力側のスキャンバス 1 にシリアル入力し、回路ブロック 2 a にパラレルデータとして与える。回路ブロック 2 a は、このテストデータを受けて論理動作を

— 4 —

トランジスタ 3 2 と、インバータ 9 3 および 9 4 により構成されるスレーブラッチ回路とが直列に接続されている。マスタおよびスレーブラッチ回路は、各々ドライブ能力の異なる 2 つのインバータ 9 1 および 9 2 または 9 3 および 9 4 により構成されたレシオ型ラッチ回路である。レシオ型ラッチ回路では、ドライブ能力の大きなインバータの入力をラッチ回路の入力とし、ドライブ能力の小さいインバータの入力をラッチ回路の出力に接続する。レシオ型ラッチ回路は、回路規模が小さく、スタディック動作が可能であるので、MOS 半導体集積回路において好んで用いられる。

次に、動作について説明する。

クロック信号 ϕ_1 および ϕ_2 は、互いに同時に高レベルになることのないシフトクロック信号である。マスタラッチ回路は、クロック信号 ϕ_1 に応答して、シリアル入力端子 4 1 からのデータ信号をストアする。その後、スレーブラッチ回路は、クロック信号 ϕ_2 に応答して、マスタラッチ回路にストアされたデータ信号をストアし、シリアル

— 6 —

出力端子81を介して出力する。

一般に、スキャンパスは、このようなシフトレジスタの複数個の直列接続を含み、各シフトレジスタにパラレルの入出力端子が設けられている。

なお、このようなシフトレジスタは、2つのクロック信号 ϕ_1 および ϕ_2 のうち一方が与えられただけでは、シフト動作を行なわない。したがって、第5図に示されるように、一方のクロック信号(図では ϕ_1)を各スキャンパスに対して共通して与えることができる。しかし、第5図において、もし、クロック信号 ϕ_{2A} ないし ϕ_{2N} の代わりに共通のクロック信号を与えた場合、特定の回路ブロックのテストがなされると、他の回路ブロックにも同じテスト用のドライブデータが与えられてしまうので、他の回路ブロックに含まれる回路の破壊や性能の劣化などをもたらすことがある。

第7図は、第5図に示されたスキャンパス間の接続部分の詳細を示す回路図である。

第7図を参照して、この図は、トランジスタ3

- 7 -

ンする。また、トランジスタ33も、高レベルのストロブ信号STBに反応して、オンする。したがって、パラレル入力端子10とパラレル出力端子11間が2つのラッチ回路を介して接続される。これにより、2つの回路ブロック2aおよび2b間で、所望の回路接続がなされる。但し、このとき、この回路接続に悪影響を与えないようにクロック信号を与える必要がある。すなわち、クロック信号 ϕ_1 、 ϕ_{2A} および ϕ_{2B} を低レベルに設定する必要がある。

〔発明が解決しようとする課題〕

第5図に示したような従来の半導体集積回路20では、論理テストがなされるべき被テスト回路ブロック2aないし2nが多く存在する場合、これに比例して多くのスキャンパス1を設ける必要がある。したがって、これらのスキャンパス1を駆動するのに必要なクロック信号 ϕ_{2A} ないし ϕ_{2N} の数も増加し、外部からそれらの信号を与えるために、数多くのクロック入力端子6aないし6nを設ける必要がある。これにより、バッケー

- 9 -

の両側に接続されたスキャンパス内にある2つのシフトレジスタを示す。この図における2つのシフトレジスタは、ともに第6図に示されたものと同様の回路構成を持つ。

テストモードにおいて、トランジスタ3は、低レベルのテストモード信号TMに反応して、オフする。回路ブロック2aから出力されたテスト結果を示すデータ信号がパラレル入力端子10に与えられ、トランジスタ33を介してノードN1に与えられる。このデータ信号は、クロック信号 ϕ_1 および ϕ_{2A} に反応してなされるシフト動作により、シリアル出力端子81を介してシリアルに出力される。なお、トランジスタ33のゲートには、ストロブ信号STBが与えられる。

一方、回路ブロック2bは、パラレル出力端子11に接続されており、クロック信号 ϕ_1 および ϕ_{2B} に反応して入力されたシリアルのテスト用ドライブデータをこの端子11を介して受ける。

通常の動作モードにおいて、トランジスタ3は、高レベルのテストモード信号TMに反応して、オ

- 8 -

ジ等が大きくなり、安価な半導体集積回路が得られないという課題があった。

この発明は、上記のような課題を解決するためになされたもので、論理テストがなされるべき被テスト回路の数が増加して、これらをテストするために必要なクロック信号が増えても、これらのクロック信号を外部から受けるための端子を増やす必要のない半導体集積回路を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体集積回路は、論理テストがなされるべき複数の被テスト回路と、複数の被テスト回路の各々に接続され外部から与えられたクロック信号に反応して外部から与えられたテスト信号を各々が接続されている被テスト回路に与える複数のシフトレジスタ手段と、クロック信号を複数のシフトレジスタ手段のうちのいずれに与えるのかを指定するための指定信号を外部から受ける指定信号入力手段と、指定信号に反応して外部からのクロック信号を指定信号が指定する複数

- 10 -

のシフトレジスタ手段のうちの少なくとも1つに選択的に与えるクロック信号選択供与手段とを含む。

〔作用〕

この発明における半導体集積回路では、クロック信号選択供与手段が、外部から与えられたクロック信号を、指定信号が指定するシフトレジスタ手段に与える。外部からシフトレジスタ手段ごとにクロック信号を与える必要がなくなるので、必要なクロック信号の数が増えてもそれらの信号を外部から受ける端子の数は増えない。

〔発明の実施例〕

第1図は、この発明の一実施例を示す、論理テストがなされるべき複数の被テスト回路ブロックを含む半導体集積回路を示すブロック図である。

第1図を参照して、この半導体集積回路20は、第5図に示した従来のものと比較して、シリアル入力端子4に接続されたレジスタ12と、レジスタ12の出力およびクロック入力端子6に接続されたANDゲート13とを含む。各ANDゲート

— 11 —

2を与えることにより、クロック信号 ϕ_2 が指定されたスキャンパス1に与えられ、テストデータ信号Stが入力される。前述の例では、クロック信号 ϕ_2 がクロック信号 ϕ_{2A} として、回路ブロック2aに接続されたスキャンパス1に与えられる。一方、他の回路ブロックに接続されたスキャンパスには、クロック信号が与えられないので、所望のスキャンパス1のみを選択的に動作させることができる。

このようにして、第5図に示した従来の例では回路ブロックが増えるのに比例してクロック入力端子の数も増加していたが、第1図の例に示されるように、3つのクロック入力端子5、6および14だけで賄うことができる。すなわち、回路ブロックの数が増加しても、クロック入力端子の数は増加しない。

第2図は、第1図に示した半導体集積回路において使用されるレジスタの一例を示す回路図である。

第2図を参照して、このレジスタ12は、シフ

— 13 —

13の出力が対応するスキャンパス1に接続される。端子5、6および14は、各々外部からクロック信号 ϕ_1 、 ϕ_2 および ϕ_3 を受けるためのものである。

レジスタ12は、回路ブロック2aないし2nの数に対応して設けられたシフトレジスタ12aないし12nの直列接続を含み、互いに同時に高レベルになることのないクロック信号 ϕ_1 および ϕ_3 を受けるように接続される。

動作において、まず、レジスタ12に対し、クロック信号 ϕ_2 を与えるべきスキャンパス1の指定を行なう。すなわち、その設定を行なうための指定信号Ssがシリアル入力端子4に与えられ、レジスタ12は、クロック信号 ϕ_1 および ϕ_3 にตอบสนองして、その信号をストアする。たとえば、回路ブロック2aに接続されているスキャンパス1だけにクロック信号 ϕ_2 を与えると、シフトレジスタ12aが高レベルの電圧を出力するように指定信号Ssが与えられる。

指定を行なった後、クロック信号 ϕ_1 および ϕ_3

— 12 —

トレジスタ12a、12bおよび12nの直列接続を含む。これらのシフトレジスタは、クロック信号 ϕ_1 および ϕ_3 を受けるように接続される。個々のシフトレジスタの動作は、第6図に示されたものと同様であり、説明は省略される。

第3図は、この発明のもう1つの実施例を示す、複数の被テスト回路ブロックを含む半導体集積回路を示すブロック図である。

第3図を参照して、この半導体集積回路20は、第1図に示されたものと比較して、クロック入力端子5および14に接続されたANDゲート13aおよび13bとインバータ9とによって構成された回路を含む。第1図に示されたテストモード制御端子7が省かれている。

テストモードのシフト動作において、クロック信号 ϕ_1 および ϕ_3 が同時に高レベルになることはない。この半導体集積回路20では、クロック信号 ϕ_1 および ϕ_3 が同時に高レベルになるときを、通常の動作モードに割当てている。そして通常の動作モードにおける回路ブロック間の所望の

— 14 —

回路接続に悪影響を与えないよう、クロック信号 ϕ_0 が高レベルのときにスキャンバス1にクロック信号 ϕ_1 に同期した信号が与えられないようにしている（各スキャンバス1にはクロック信号 ϕ_1 の代わりにクロック信号 ϕ_{1x} を与える）。これにより、第1図に示された例で設けられていたテストモード制御端子7をも省くことができ、さらに安価な半導体集積回路が得られる。

第4図は、この発明の他の実施例を示す、複数の被テスト回路ブロックを含む半導体集積回路を示すブロック図である。

第4図を参照して、この半導体集積回路20は、第1図に示されたものと比較して、各回路ブロック2aないし2nの出力側に接続されたスキャンバス1のシリアル出力と、シリアル入出力端子15との間に接続されたNチャネルトランジスタ3aないし3nを含む。これらのトランジスタ3aないし3nは、クロック信号 ϕ_{2a} ないし ϕ_{2n} を受けように接続され、スキャンバス1からのシリアル出力信号S0aないしS0nを選択する

— 15 —

ストがなされるべき複数の被テスト回路ブロックを含む半導体集積回路を示すブロック図である。第2図は、第1図に示された実施例において使用されるレジスタの一例を示す回路図である。第3図は、この発明のもう1つの実施例を示す、複数の被テスト回路ブロックを含む半導体集積回路を示すブロック図である。第4図は、この発明の他の実施例を示す、複数の被テスト回路ブロックを含む半導体集積回路を示すブロック図である。第5図は、複数の被テスト回路を含む従来の半導体集積回路を示すブロック図である。第6図は、第5図に示されたスキャンバスにおいて使用されるシフトレジスタを示す回路図である。第7図は、第5図に示されたスキャンバス間の接続部分の詳細を示す回路図である。

図において、1はスキャンバス、2aないし2nは被テスト回路ブロック、12はレジスタ、12aないし12nはシフトレジスタ、13はANDゲート、20は半導体集積回路である。

なお、図中、同一符号は同一または相当部分を

— 17 —

セレクト回路を構成する。セレクト回路の出力端子をシリアル入力端子と兼用することにより、回路ブロック2aないし2nの数が増えてもシリアル出力端子の数が増加することを防ぐことができる。

なお、第2図に示されたレジスタ12は、レシオ型ラッチ回路を含むシフトレジスタを接続したものを示したが、これに限ることなく、一般のシフトレジスタを適用することは可能である。

〔発明の効果〕

以上のように、この発明によれば、指定信号によって指定されたシフトレジスタ手段にクロック信号を選択的に与えるクロック信号選択供与手段を設けたので、論理テストがなされるべき被テスト回路の数が増加して、これらをテストするために必要なクロック信号の数が増えても、これらのクロック信号を外部から受けるための端子の数を増やす必要のない半導体集積回路がもたらされた。

4. 図面の簡単な説明

第1図は、この発明の一実施例を示す、論理テ

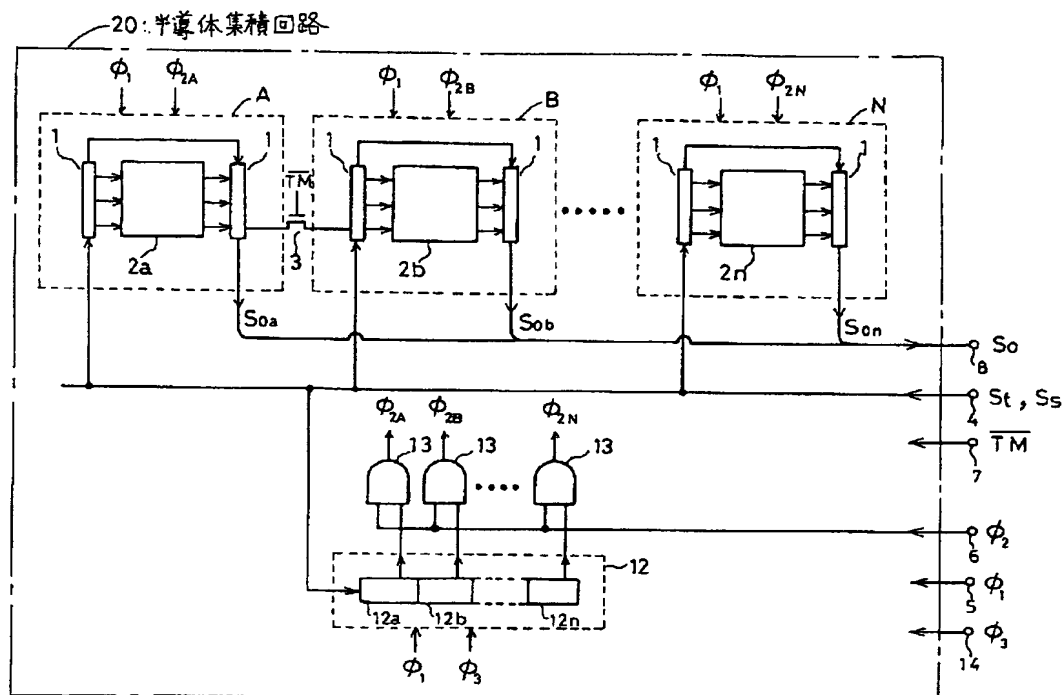
— 16 —

示す。

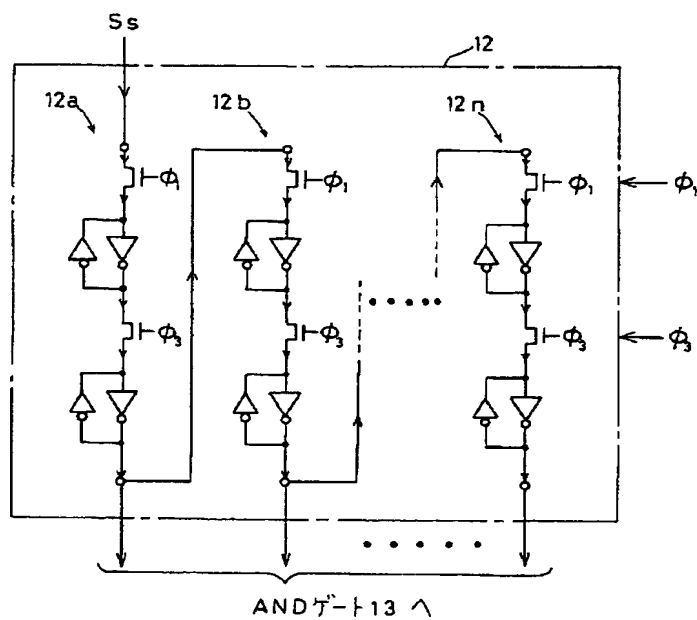
代理人 大 岩 増 雄

— 18 —

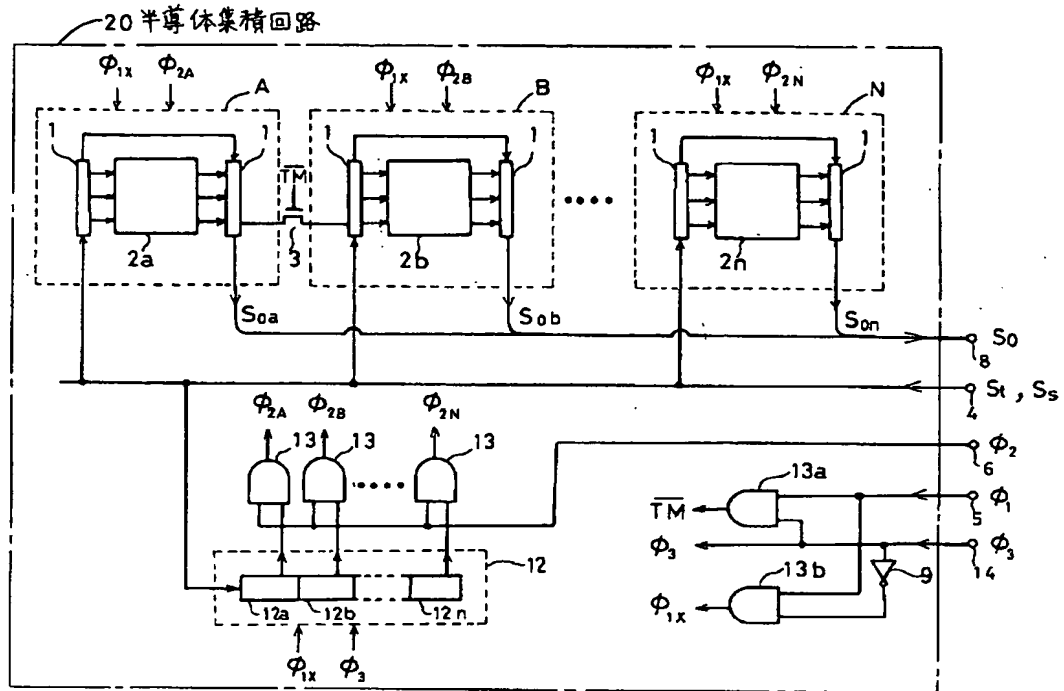
第 1 図



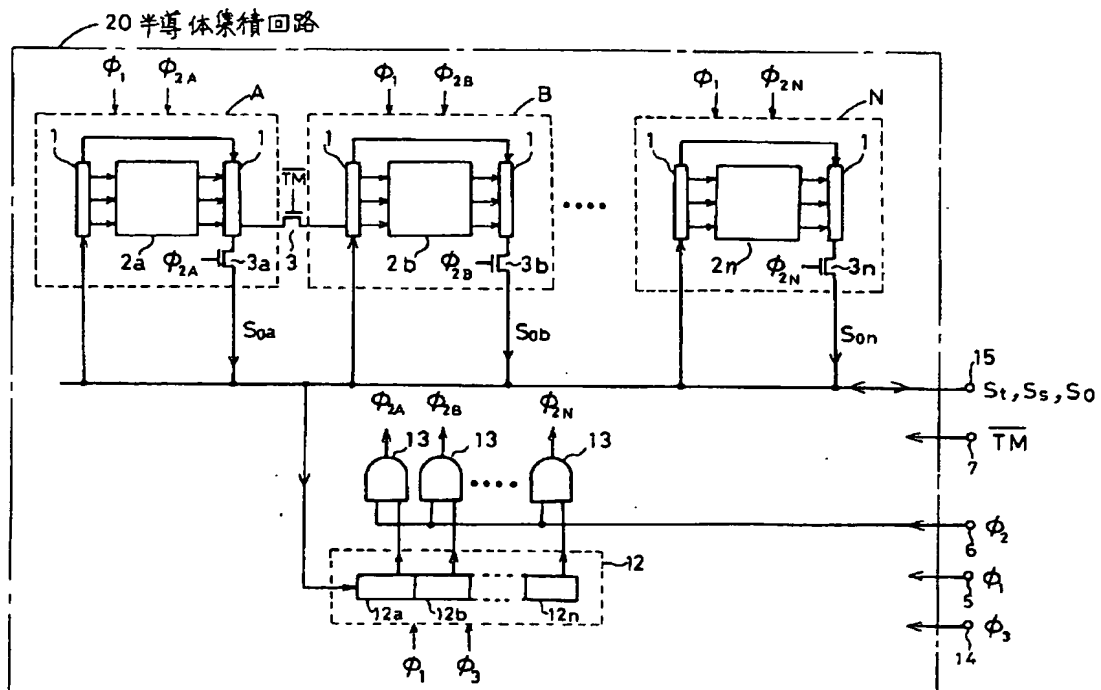
第 2 図



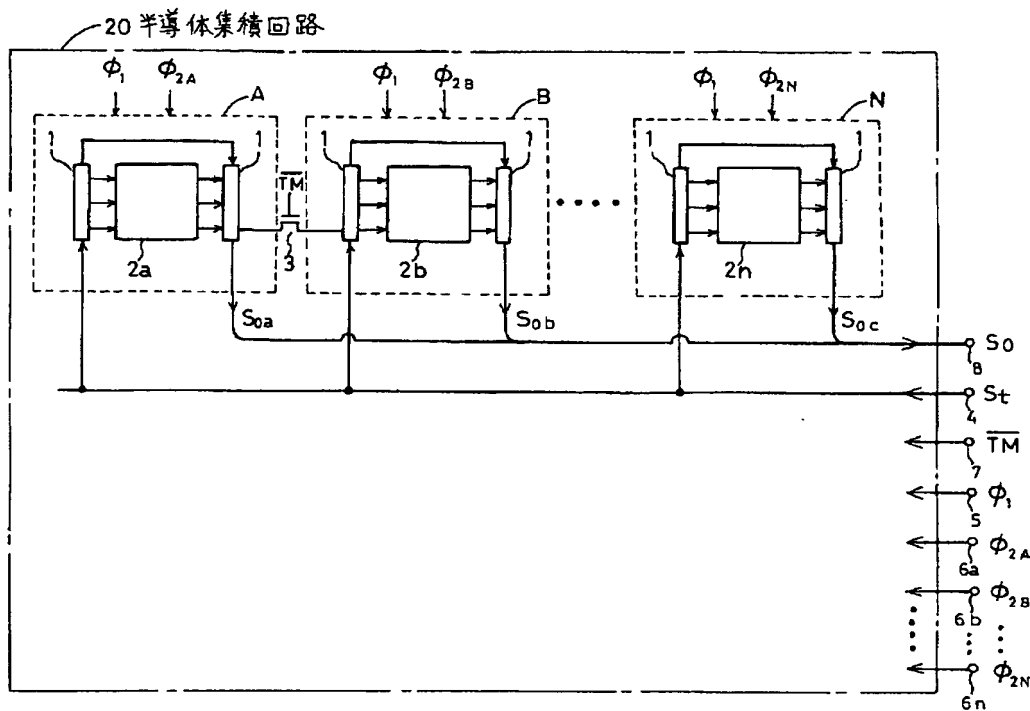
第 3 圖



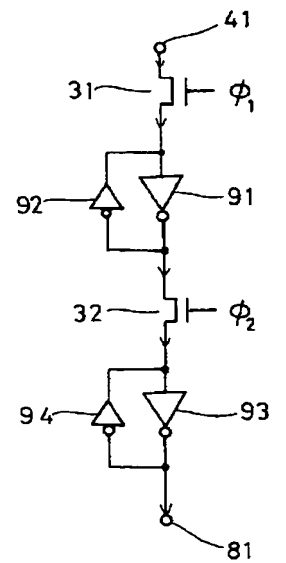
第 4 圖



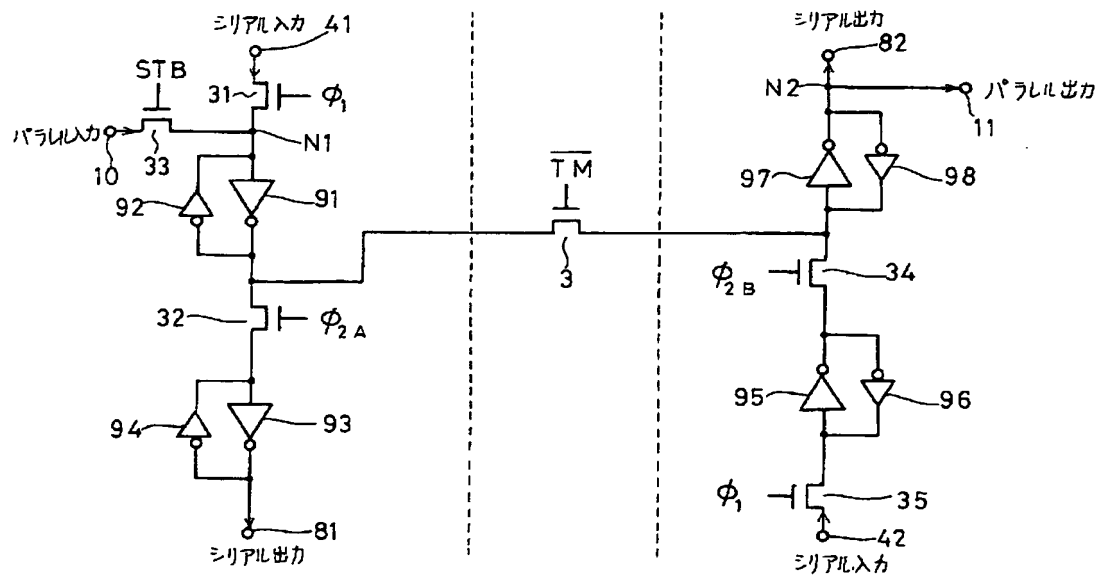
第 5 図



第 6 図



第 7 図



手 続 補 正 書 (自発)

平成 1 年 5 月 8 日
昭和

特許庁長官殿

1. 事件の表示 特願昭 63-100510 号

2. 発明の名称

半 導 体 集 積 回 路

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)



方 式
審 査



5. 補正の対称

明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書第8頁第7行ないし第14行の「回路ブロック2aから…与えられる。」を以下の文章に訂正する。

記

回路ブロック2aから出力されたテスト結果を示すデータ信号は、パラレル入力端子10に与えられ、ストローブ信号STBにตอบสนองしてトランジスタ33を介して2つのインバータ91および92により構成されたマスタラッチ回路にストアされる。このデータ信号は、クロック信号φ₂Aおよびφ₁にตอบสนองしてなされるシフト動作により、シリアル出力端子81を介して次段のシフトレジスタまたは半導体集積回路のシリアル出力端子8に与えられる。

以上

THIS PAGE BLANK (USPTO)